

| | |
|-------------------------------|----------------------------------|
| Státní závěrečné zkoušky | Akad. rok 2021/2022 |
| Magisterský studijní program: | Inženýrská informatika |
| Obor: | Počítačové a komunikační systémy |

Architektura počítačů

Předmět povinný

1. Princip činnosti počítače se společným adresovým prostorem. Jeho instrukce a zpracovávaná data. Fáze činnosti počítače a jejich vzájemná návaznost. Skupinové schéma tzv. von Neumannova počítače.
2. Princip zřetěženého zpracování instrukcí. Základní skupinové schéma procesoru s komplexním souborem instrukcí (CISC) s mikroprogramovým řízením a společnou pamětí CACHE.
3. Architektura s redukováným souborem instrukcí (RISC). Výhody architektury RISC. Způsob řízení a vlastnosti umožňující zrychlení vykonávání programů. Skupinové schéma procesoru s orientačními údaji o rozsahu paměti.
4. Linka pro zpracování instrukcí. Princip činnosti. Důvody konfliktů při zpracování dat a způsoby eliminace těchto konfliktů. Metody zrychlení zpracování dat a podmínky pro použití metod zrychlení.
5. Ukazatel zrychlení u synchronní linky prováděcích jednotek. Optimální počet prováděcích jednotek v lince. Vliv latence dat u jednotlivých prováděcích jednotek. Význam parametru nazývaného ukazatel zrychlení. Závislost ukazatele zrychlení na počtu prováděcích jednotek.
6. Princip spolupráce instrukční a prováděcí jednotky pro aritmetické a logické operace; pro operace v pohyblivé řádové čárce; pro operace skoků a pro načítání resp. ukládání dat z paměti resp. do paměti.
7. Charakteristika základních operací procesoru. Načtení instrukce, dekodování instrukce, načítání operandů, provádění instrukce, zpětný zápis, generování adres a přístup do paměti. Úloha paměti CACHE při čtení operandů a ukládání výsledků.
8. Definice pojem sub-skalární architektura. Skladba bloků sub-skalární architektury a jaké jsou jejich vazby ve skupinovém schématu. Výpočet doby trvání provádění programu. Princip čtení a ukládání dat v architektuře.
9. Procesor skalární architektury a jeho základní bloky. Definice provádění instrukcí v překryvu (pipelining) a paralelní provádění instrukcí. Instrukce skoků a jejich základní princip.
10. Základní principy zrychlení super-skalární architektury. Vlastnosti generického super-skalárního procesoru. Princip řešení datových závislostí. Definice rozdílu při řešení datových závislostí u procesoru se statickou a s dynamickou super-skalární architekturou.
11. Rezervační stanice u procesoru a její význam a princip řízení. Definice spekulativního zpracování instrukcí. Princip predikce skoků. Kategorizace této činnosti u generického super-skalárního procesoru.
12. Překrývání paměťových operací u generického super-skalárního procesoru a podmínky realizovatelnosti. Princip zápisové zábrany. Úloha jednotky s názvem Memory Management Unit (MMU).
13. Princip činnosti nazvané předvýběr dat. Metody zvýšení účinnosti předvýběru. Popis činnosti předvýběru dat při použití zásobníkové paměti. Definice metod pro sdružování instrukcí, synchronizace vláken a sběr odpadu (garbage collection).

14. Přehled vlastností super-skalárních procesorů. Základní koncepce super-skalárních procesorů – statická, dynamická a dynamická se spekulativním prováděním instrukcí. Definice princip „output dependency“ a „anti-dependency“.
15. Kategorizace procesorů typu VLIW. Definice pojmu Instruction Level Parallelism. Výhody a nevýhody statické koncepce super-skalárního procesoru ve srovnání s dynamickou koncepcí.
16. Oblasti uplatnění procesorů VLIW a výhody u některých typických úloh zpracování dat. Pojem plánování instrukcí. Acyklické plánování a predikce instrukcí. Cyklické plánování a tzv. programové zřetězení.
17. Vlastnosti tzv. vektorových procesorů. Význam použití prokládané paměti u těchto procesorů. Princip zmenšení latence u vektorových procesorů. Vysvětlete metody dosažení zvýšení výkonu procesorem typu VLIW (definice pojmu skupiny a svazky).
18. Popis procesoru s podporou paralelismu vláken. Definice rozdílu mezi pojmem proces a vlákno. Životní cyklus procesu. Popis vlastností vlákna. Princip synchronizace vláken a přepínání vláken. Definice a význam pojmu Multi-thread provozu. Význam přepínání kontextu.
19. Princip činnosti systému se sdílenou pamětí. Popis a význam transputeru. Zařazení mezi multiprocesory. Režimy činnosti multi-vláknového provozu. Definice thread – level parallelism a simultaneous multi – thread principu.
20. Architektury pro příští procesory. Definice Moorova zákona a jeho význam pro technologické trendy. Charakteristika příštích generací procesorů v kategorii PIM (Processor-in-Memory), IRAM (Intelligent RAM), či C-RAM (Computational RAM).